


Express Mail Label No.: EL629488833US
PATENT
36856.561

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Norio SAKAI Serial No.: Currently unknown Filing Date: Concurrently herewith For: ELECTRONIC COMPONENT AND METHOD OF PRODUCING THE SAME	<div style="text-align: right;">11046 U.S. PTO 10/004229</div>  <div style="text-align: right;">11/02/01</div>
--	---

TRANSMITTAL OF PRIORITY DOCUMENTS

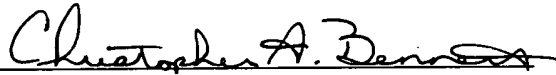
ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. 2000-335589 filed November 2, 2000, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: November 2, 2001


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200
Facsimile: (703) 385-5080

#7
10/2/00
M. Prady

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月 2日

出 願 番 号

Application Number:

特願2000-335589

出 願 人

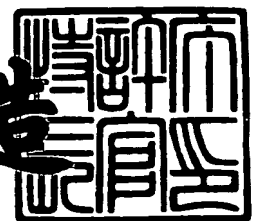
Applicant(s):

株式会社村田製作所

2001年 9月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082113

【書類名】 特許願

【整理番号】 100129

【提出日】 平成12年11月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/11

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 酒井 範夫

【特許出願人】

 【識別番号】 000006231

 【氏名又は名称】 株式会社村田製作所

 【代表者】 村田 泰隆

【代理人】

 【識別番号】 100085143

 【弁理士】

 【氏名又は名称】 小柴 雅昭

 【電話番号】 06-6779-1498

【手数料の表示】

 【予納台帳番号】 040970

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 セラミック電子部品およびその製造方法

【特許請求の範囲】

【請求項 1】 互いに対向する第 1 および第 2 の主面とこれら第 1 および第 2 の主面間を連結する 4 つの側面とを有するセラミック電子部品本体を備え、少なくとも 1 つの前記側面には、前記第 1 の主面から前記第 2 の主面にまで貫通する切欠きが設けられ、前記切欠き内には、複数の外部端子電極が並んで設けられている、セラミック電子部品。

【請求項 2】 前記外部端子電極は、前記第 1 の主面から前記第 2 の主面にまで貫通するように設けられる、請求項 1 に記載のセラミック電子部品。

【請求項 3】 前記外部端子電極は、前記第 1 の主面から前記第 2 の主面にまで貫通しないように設けられる、請求項 1 に記載のセラミック電子部品。

【請求項 4】 前記切欠き内には、複数の凹部が並んで設けられ、前記外部端子電極は、前記凹部を埋めるように設けられる、請求項 1 ないし 3 のいずれかに記載のセラミック電子部品。

【請求項 5】 前記セラミック電子部品本体は、複数の積層されたセラミック層および前記セラミック層間の特定の界面に沿って設けられる内部導体膜を備える、請求項 1 ないし 4 のいずれかに記載のセラミック電子部品。

【請求項 6】 前記第 1 および第 2 の主面の少なくとも一方上に形成される外部導体膜をさらに備える、請求項 1 ないし 5 のいずれかに記載のセラミック電子部品。

【請求項 7】 前記外部端子電極は、前記第 1 および第 2 の主面の少なくとも一方上にまで延びる延長部を備える、請求項 1 ないし 6 のいずれかに記載のセラミック電子部品。

【請求項 8】 前記外部端子電極の全表面は、めっき膜によって覆われている、請求項 1 ないし 7 のいずれかに記載のセラミック電子部品。

【請求項 9】 外部端子電極となる複数の端子用導体が厚み方向の少なくとも一部において延びるように設けられた、生のセラミック成形体を作製する工程と、

前記セラミック成形体の複数の前記端子用導体が配列される線に沿うように、前記セラミック成形体の互いに対向する第1および第2の主面間を貫通する長手の貫通孔を形成することによって、複数の前記端子用導体の各一部を1つの前記貫通孔の内面上に露出させる工程と、

前記セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、

前記セラミック焼結体を、前記貫通孔を通る分割線に沿って分割することによって、前記貫通孔の内面上に露出した前記端子用導体の一部をもって与えられた複数の外部端子電極が、前記貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程と

を備える、セラミック電子部品の製造方法。

【請求項10】 前記セラミック成形体を作製する工程は、複数の前記端子用導体が厚み方向に貫通するように設けられたセラミックグリーンシートを含む複数のセラミックグリーンシートを積層する工程を備える、請求項9に記載のセラミック電子部品の製造方法。

【請求項11】 前記セラミック成形体を作製する工程は、前記セラミックグリーンシートに、配線のための導体膜およびビアホール導体を形成する工程を備える、請求項10に記載のセラミック電子部品の製造方法。

【請求項12】 前記セラミック焼結体は、これを前記分割線に沿って分割することによって複数のセラミック電子部品を取り出せるようにされている、集合電子部品であり、前記セラミック焼結体を分割する工程は、前記集合電子部品を分割する工程であり、前記貫通孔を形成する工程では、前記貫通導体を分割するように前記貫通孔が形成される、請求項9ないし11のいずれかに記載のセラミック電子部品の製造方法。

【請求項13】 前記集合電子部品を分割する工程の前に、前記集合電子部品の状態で各前記セラミック電子部品の特性を測定する工程をさらに備える、請求項12に記載のセラミック電子部品の製造方法。

【請求項14】 前記セラミック焼結体を分割する工程の前に、前記外部端子電極の表面にめっきを施す工程をさらに備える、請求項9ないし13のいずれ

かに記載のセラミック電子部品の製造方法。

【請求項 1 5】 生のセラミック成形体を作製する工程と、

前記セラミック成形体の互いに対向する第 1 および第 2 の主面間を貫通する長手の貫通孔を形成する工程と、

前記セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、

前記セラミック成形体または前記セラミック焼結体に対して、前記貫通孔の内面上に並ぶように、複数の外部端子電極を形成する工程と、

前記セラミック焼結体を、前記貫通孔を通る分割線に沿って分割することによって、前記貫通孔の内面上に形成された複数の外部端子電極が、前記貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程と

を備える、セラミック電子部品の製造方法。

【請求項 1 6】 前記セラミック成形体を作製する工程は、複数のセラミックグリーンシートを積層する工程を備える、請求項 1 5 に記載のセラミック電子部品の製造方法。

【請求項 1 7】 前記セラミック成形体を作製する工程は、前記セラミックグリーンシートに、配線のための導体膜およびビアホール導体を形成する工程を備える、請求項 1 6 に記載のセラミック電子部品の製造方法。

【請求項 1 8】 前記セラミック焼結体は、これを前記分割線に沿って分割することによって複数のセラミック電子部品を取り出せるようにされている、集合電子部品であり、前記セラミック焼結体を分割する工程は、前記集合電子部品を分割する工程である、請求項 1 5 ないし 1 7 のいずれかに記載のセラミック電子部品の製造方法。

【請求項 1 9】 前記集合電子部品を分割する工程の前に、前記集合電子部品の状態で各前記セラミック電子部品の特性を測定する工程をさらに備える、請求項 1 8 に記載のセラミック電子部品の製造方法。

【請求項 2 0】 請求項 9 ないし 1 9 のいずれかに記載の製造方法によって得られた、セラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、セラミック電子部品およびその製造方法に関するもので、特に、セラミック電子部品の外部端子電極の形成態様および形成方法における改良に関するものである。

【0002】

【従来の技術】

図15は、この発明にとって興味ある従来のセラミック電子部品1の外観を示す斜視図である。

【0003】

セラミック電子部品1は、たとえば、コンデンサ、インダクタ、共振子、回路基板のような電子部品を構成するものであり、積層構造または単層構造を有するセラミック電子部品本体2を備えている。

【0004】

電子部品本体2は、互いに対向する第1および第2の主面3および4とこれら第1および第2の主面3および4間を連結する4つの側面5、6、7および8とを有する直方体の形状をなしている。また、電子部品本体2の少なくとも1つの側面、たとえば側面5および7の各々には、複数の外部端子電極9が並んで設けられている。これら外部端子電極9は、側面5および7に設けられた、たとえば断面半円状の凹部10の内周面上に形成されている。

【0005】

このようなセラミック電子部品1は、次のようにして製造される。

【0006】

まず、図16に示すように、生のセラミック成形体11が作製される。セラミック電子部品本体2が積層構造を有している場合には、セラミック成形体11を作製するにあたって、複数のセラミックグリーンシートを積層することが行なわれる。このセラミック成形体11は、ここから複数のセラミック電子部品1を取り出すことが意図されている。

【 0 0 0 7 】

次に、同じく図 1 6 に示すように、セラミック成形体 1 1 に複数の貫通孔 1 2 が設けられる。これら貫通孔 1 2 の各位置は、外部端子電極 9 の各々が設けられる位置に対応している。

【 0 0 0 8 】

次に、同じく図 1 6 に示すように、セラミック成形体 1 1 の一方の主面 1 3 または両方の主面 1 3 および 1 4 上に、切断溝 1 5 が形成される。図 1 8 において、切断溝 1 5 が両主面 1 3 および 1 4 上に形成されている状態がよく示されている。切断溝 1 5 は、後の工程において、複数のセラミック電子部品 1 を取り出すとすると、複数のセラミック電子部品 1 相互間の境界線に沿うブレイクをより容易にするためのものであり、たとえば、セラミック成形体 1 1 の厚みの約 $1/3 \sim 1/6$ 程度の深さをもって形成される。

【 0 0 0 9 】

次いで、セラミック成形体 1 1 が焼成され、それによって、図 1 7 にその一部を断面図で示すようなセラミック焼結体 1 6 が得られる。

【 0 0 1 0 】

次に、図 1 7 に示すように、貫通孔 1 2 の内周面上に、導電性ペースト 1 7 を付与することによって、外部端子電極 9 となるべき端子用導体 1 8 が形成される。この端子用導体 1 8 の形成のため、たとえばスクリーン印刷が適用される。すなわち、矢印 1 9 で示すように真空吸引が及ぼされた穴 2 0 を有する台 2 1 上に、穴 2 0 と貫通孔 1 2 とが位置合わせされた状態で、セラミック焼結体 1 6 が置かれ、スクリーン 2 2 に沿ってスキージ 2 3 を動作させることにより、導電性ペースト 1 7 が貫通孔 1 2 の内周面上に付与される。

【 0 0 1 1 】

上述したスクリーン印刷工程において、必要に応じて、セラミック焼結体 1 6 の主面 1 3 上に、所定のパターンをもって導電性ペースト 1 7 が付与され、それによって、配線のための導体膜が形成される。

【 0 0 1 2 】

次に、導電性ペースト 1 7 によって形成された端子用導体 1 8 および配線用導

体膜が焼成される。

【 0 0 1 3 】

なお、セラミック成形体 1 1 が積層構造を有している場合には、図 1 7 に示した工程は、この生のセラミック成形体 1 1 の状態で実施され、端子用導体 1 8 およびその他の配線用導体を形成する導電性ペースト 1 7 の焼成は、セラミック成形体 1 1 の焼成と同時に行なわれることがある。

【 0 0 1 4 】

次に、端子用導体 1 8 の表面に、必要に応じて、ニッケル／金、ニッケル／錫、ニッケル／半田等のめっきが施される。

【 0 0 1 5 】

次に、必要に応じて、セラミック焼結体 1 6 の主面 1 3 上に、搭載部品が実装される。

【 0 0 1 6 】

また、切断溝 1 5 の形成は、焼成前の図 1 7 に示した工程の後に行なわれたり、めっき工程の後または搭載部品実装後に行なわれたりする。

【 0 0 1 7 】

このようにして、図 1 8 に一部を示すように、貫通孔 1 2 の内周面上に端子用導体 1 8 が形成されたセラミック焼結体 1 6 が得られる。

【 0 0 1 8 】

次に、切断溝 1 5 に沿って、セラミック焼結体 1 6 がブレイクされ、それによって、複数のセラミック電子部品 1 が取り出される。図 1 9 には、取り出されたセラミック電子部品 1 の一部が拡大されて斜視図で示されている。図 1 9 において、貫通孔 1 2 の分割によって与えられた凹部 1 0 が図示されているとともに、端子用導体 1 8 の分割によって与えられた外部端子電極 9 が図示されている。

【 0 0 1 9 】

セラミック焼結体 1 6 が、上述のように、ブレイクされるとき、端子用導体 1 8 が引張応力を伴いながら分断されるため、図 1 9 に示すように、外部端子電極 9 には、この分断によって露出する分断面 2 4 がもたらされる。

【 0 0 2 0 】

【発明が解決しようとする課題】

しかしながら、上述したセラミック電子部品 1 またはその製造方法には、解決されるべき問題がある。

【0 0 2 1】

まず、外部端子電極 9 にもたらされた分断面 2 4 は、めっき膜によって覆われていないため、酸化等が生じやすく、そのため、半田付け性が悪くなり、その結果、外部端子電極 9 に対する良好な半田付けが阻害されることがある。

【0 0 2 2】

また、セラミック焼結体 1 6 をブレイクする際、貫通孔 1 2 の内周面上に形成された端子用導体 1 8 が引きちぎられるように分断されるため、必ずしも、中央で分断されるとは限らず、極端な場合には、一方に欠損が生じて断線不良がもたらされたり、さらには、セラミック焼結体 1 6 の一部とともに端子用導体 1 8 の一部が欠けるという致命的な不良がもたらされたりすることがある。

【0 0 2 3】

上述の問題を解決するため、端子用導体 1 8 の厚みおよびその上に形成されるめっき膜の厚みを薄くすることが有効であるが、このように厚みを薄くすると、断線不良につながることもある。

【0 0 2 4】

他方、セラミック焼結体 1 6 のブレイク後に外部端子電極 9 を形成するようにすれば、上述の問題は解消されるが、この場合には、生産性の低下という問題を引き起こす。

【0 0 2 5】

また、前述したブレイク時の外部端子電極 9 における欠損の問題を解決するためには、端子用導体 1 8 は、図 1 7 によく示されているように、貫通孔 1 2 を充填するのではなく、中空の状態で形成されなければならない。そのため、貫通孔 1 2 の径をそれほど小さくすることができない。その結果、セラミック電子部品 1 の小型化を阻害してしまう。

【0 0 2 6】

また、図 1 7 に示すように、端子用導体 1 8 を形成するにあたって、台 2 1 の

穴 2 1 の周辺部が導電性ペースト 1 7 によって汚されないようにしながら、端子用導体 1 8 を上述のように中空の状態で形成するためには、貫通孔 1 2 より大きい径を有する穴 2 0 を通して真空吸引を及ぼしながらスクリーン印刷する必要がある。このことから、形成された端子用導体 1 8 には、主面 1 3 および 1 4 上にまで延びる主面延長部 2 5 が必ず形成されることになる。しかしながら、主面延長部 2 5 の存在は、外部端子電極 9 の配置間隔を小さくすることを妨げ、その結果、セラミック電子部品 1 の小型化を阻害する。

【 0 0 2 7 】

また、セラミック電子部品 1 は、少なくとも出荷する前に、その特性を測定しなければならない。しかしながら、セラミック電子部品 1 は、ブレイク前のセラミック焼結体 1 6 の段階では、外部端子電極 9 となる端子用導体 1 8 が隣り合うセラミック電子部品 1 間に跨って形成されているため、ブレイク後でないと、このセラミック電子部品 1 の特性を測定することができない。そのため、このような特性の測定を能率的に行なうことができない。

【 0 0 2 8 】

また、セラミック電子部品 1 が回路基板であるときなどにおいては、その電子部品本体 2 の主面 3 または 4 上に、別の電子部品が搭載されることがある。この場合、電子部品の搭載は、集合電子部品の状態にあるセラミック焼結体 1 6 に対して行なわれるのが能率的である。しかしながら、上述したように、集合電子部品の段階で特性の測定が不可能であるので、不良品となるセラミック電子部品 1 に対しても、電子部品の搭載が行なわれてしまい、そのため、このような搭載部品を無駄にしてしまうことがあり、コスト上不利である。

【 0 0 2 9 】

そこで、この発明の目的は、上述したような問題を解決し得る、セラミック電子部品およびその製造方法を提供しようとするものである。

【 0 0 3 0 】

【課題を解決するための手段】

この発明は、互いに対向する第 1 および第 2 の主面とこれら第 1 および第 2 の主面間を連結する 4 つの側面とを有するセラミック電子部品本体を備える、セラ

ミック電子部品にまず向けられるものであって、上述した技術的課題を解決するため、少なくとも1つの側面には、第1の主面から第2の主面にまで貫通する切欠きが設けられ、この切欠き内には、複数の外部端子電極が並んで設けられていることを特徴としている。

【 0 0 3 1 】

上述の外部端子電極は、セラミック電子部品本体の第1の主面から第2の主面にまで貫通するように設けられても、第1の主面から第2の主面にまで貫通しないように設けられてもよい。

【 0 0 3 2 】

また、好ましくは、切欠き内には、複数の凹部が並んで設けられ、外部端子電極は、これら凹部を埋めるように設けられる。

【 0 0 3 3 】

また、セラミック電子部品本体は、積層構造を有していても、単層構造を有していてもよいが、積層構造を有する場合には、複数の積層されたセラミック層およびセラミック層間の特定の界面に沿って設けられる内部導体膜を備えていてもよい。

【 0 0 3 4 】

また、セラミック電子部品本体の第1および第2の主面の少なくとも一方上に、外部導体膜が形成されていてもよい。

【 0 0 3 5 】

また、外部端子電極は、セラミック電子部品本体の第1および第2の主面の少なくとも一方上にまで延びる延長部を有してもよい。

【 0 0 3 6 】

また、外部端子電極の全表面は、めっき膜によって覆われていてもよい。

【 0 0 3 7 】

この発明は、また、セラミック電子部品の製造方法にも向けられる。

【 0 0 3 8 】

この発明に係るセラミック電子部品の製造方法は、第1の局面では、外部端子電極となる複数の端子用導体が厚み方向の少なくとも一部において延びるように

設けられた、生のセラミック成形体を作製する工程と、セラミック成形体の複数の端子用導体が配列される線に沿うように、セラミック成形体の互いに対向する第1および第2の主面間を貫通する長手の貫通孔を形成することによって、複数の端子用導体の各一部を1つの貫通孔の内面上に露出させる工程と、セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、セラミック焼結体を、貫通孔を通る分割線に沿って分割することによって、貫通孔の内面上に露出した端子用導体の一部をもって与えられた複数の外部端子電極が、貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程とを備えることを特徴としている。

【 0 0 3 9 】

上述のように製造されようとするセラミック電子部品が積層構造を有するものである場合には、セラミック成形体を作製する工程において、複数の端子用導体が厚み方向に貫通するように設けられたセラミックグリーンシートを含む複数のセラミックグリーンシートを積層する工程が実施される。

【 0 0 4 0 】

上述の場合、セラミック成形体を作製する工程において、セラミックグリーンシートに、配線のための導体膜およびビアホール導体を形成する工程が実施されてもよい。

【 0 0 4 1 】

この発明に係るセラミック電子部品の製造方法は、第2の局面では、生のセラミック成形体を作製する工程と、セラミック成形体の互いに対向する第1および第2の主面間を貫通する長手の貫通孔を形成する工程と、セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、セラミック成形体またはセラミック焼結体に対して、貫通孔の内面上に並ぶように、複数の外部端子電極を形成する工程と、セラミック焼結体を、貫通孔を通る分割線に沿って分割することによって、貫通孔の内面上に形成された複数の外部端子電極が、貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程とを備えることを特徴としている。

【 0 0 4 2 】

上述したように、製造されようとするセラミック電子部品が積層構造を有するものである場合、セラミック成形体を作製する工程において、複数のセラミックグリーンシートを積層する工程が実施される。

【 0 0 4 3 】

上述の場合、セラミック成形体を作製する工程において、セラミックグリーンシートに、配線のための導体膜およびビアホール導体を形成する工程が実施されてもよい。

【 0 0 4 4 】

以上の第 1 および第 2 の局面のいずれにおいても、好ましくは、セラミック焼結体は、これを分割線に沿って分割することによって複数のセラミック電子部品を取り出せるようにされている、集合電子部品であり、セラミック焼結体を分割する工程は、この集合電子部品を分割する工程である。特に、第 1 の局面の場合には、貫通孔を形成する工程では、貫通導体を分割するように貫通孔が形成される。

【 0 0 4 5 】

上述した好ましい実施態様において、集合電子部品を分割する工程の前に、集合電子部品の状態で各セラミック電子部品の特性を測定する工程が実施されることが好ましい。

【 0 0 4 6 】

この発明に係るセラミック電子部品の製造方法において、セラミック焼結体を分割する工程の前に、外部端子電極の表面にめっきを施す工程がさらに実施されてもよい。

【 0 0 4 7 】

この発明は、また、上述したような製造方法によって得られた、セラミック電子部品にも向けられる。

【 0 0 4 8 】

【発明の実施の形態】

図 1 は、この発明の一実施形態によるセラミック電子部品 3 1 の外観を示す斜視図である。

【 0 0 4 9 】

セラミック電子部品 3 1 は、セラミック電子部品本体 3 2 を備えている。電子部品本体 3 2 は、互いに対向する第 1 および第 2 の主面 3 3 および 3 4 とこれら第 1 および第 2 の主面 3 3 および 3 4 間を連結する 4 つの側面 3 5、3 6、3 7 および 3 8 とを有している。

【 0 0 5 0 】

また、電子部品本体 3 2 の少なくとも 1 つの側面、たとえば側面 3 5 および 3 6 の各々には、第 1 の主面 3 3 から第 2 の主面 3 4 にまで貫通する切欠き 3 9 が設けられ、これら切欠き 3 9 内には、複数の外部端子電極 4 0 が並んで設けられている。

【 0 0 5 1 】

この実施形態では、外部端子電極 4 0 は、第 1 の主面 3 3 から第 2 の主面 3 4 にまで貫通するように設けられている。また、切欠き 3 9 内には、複数の凹部 4 1 が並んで設けられ、上述の外部端子電極 4 0 は、この凹部 4 1 を埋めるように設けられている。

【 0 0 5 2 】

また、電子部品本体 3 2 の第 1 の主面 3 3 上には、いくつかの外部導体膜 4 2 が形成されている。これら外部導体膜 4 2 は、特定の外部端子電極 4 0 と電氣的に接続される。これら外部導体膜 4 2 に電氣的に接続された状態で、図示しないが、搭載部品が主面 3 3 上に実装され、また、これら搭載部品を覆うように主面 3 3 上にはキャップが被せられることがある。

【 0 0 5 3 】

なお、図示しないが、電子部品本体 3 2 の第 2 の主面 3 4 上に、外部導体膜が形成されてもよい。

【 0 0 5 4 】

また、外部導体膜 4 0 の露出する全表面は、めっき膜によって覆われていることが好ましい。

【 0 0 5 5 】

このようなセラミック電子部品 3 1 を製造するため、図 2 ないし図 4 を参照し

て以下に説明するような工程が実施される。なお、以下に説明するセラミック電子部品 3 1 の製造方法は、電子部品本体 3 2 が積層構造を有している場合のものである。

【 0 0 5 6 】

まず、図 2 (1) に示すように、セラミックグリーンシート 4 3 が用意される。そして、セラミックグリーンシート 4 3 の所定の位置に、複数の貫通する透孔 4 4 が配列された状態で設けられる。この実施形態では、透孔 4 4 は、矩形の断面形状を有している。

【 0 0 5 7 】

次に、図 2 (2) に示すように、各透孔 4 4 に導電性ペーストが充填され、それによって、端子用導体 4 5 がセラミックグリーンシート 4 3 の厚み方向に貫通するように設けられる。

【 0 0 5 8 】

次に、図 2 (3) に示すように、セラミックグリーンシート 4 3 上に、導電性ペーストをたとえばスクリーン印刷することによって、配線のための導体膜 4 6 が所定のパターンをもって形成される。この導体膜 4 6 は、セラミックグリーンシート 4 3 の積層されたときの位置によって、前述した外部導体膜 4 2 となることも、内部導体膜となることもある。

【 0 0 5 9 】

なお、導体膜 4 6 の形成は、端子用導体 4 5 を形成するための透孔 4 4 への導電性ペーストの充填工程と同時に実施されてもよい。

【 0 0 6 0 】

図 2 では図示しないが、セラミックグリーンシート 4 3 に、配線のためのビアホール導体が形成されることもある。このビアホール導体を形成するための貫通孔の形成は、図 2 (1) に示した透孔 4 4 を形成する工程と同時に実施され、この貫通孔への導電性ペーストの充填は、図 2 (2) に示した透孔 4 4 への導電性ペーストの充填と同時に実施されてもよい。

【 0 0 6 1 】

次に、図 2 (3) に示したセラミックグリーンシート 4 3 を含む複数のセラミ

ックグリーンシートが積層され、次いで積層方向にプレスされる。これによって、図 3 (1) に示すような生のセラミック成形体 4 7 が作製される。このセラミック成形体 4 7 では、複数の端子用導体 4 5 が厚み方向の少なくとも一部において延びるように設けられている。この実施形態では、端子用導体 4 5 は、セラミック成形体 4 7 の厚み方向を貫通するように設けられている。

【 0 0 6 2 】

次に、図 3 (2) に示すように、セラミック成形体 4 7 の複数の端子用導体 4 5 が配列される線に沿うように、長手の貫通孔 4 8 が形成される。この貫通孔 4 8 は、セラミック成形体 4 7 の互いに対向する第 1 および第 2 の主面 4 9 および 5 0 間を貫通している。

【 0 0 6 3 】

また、このような貫通孔 4 8 の形成によって、図 5 に拡大して示すように、複数の端子用導体 4 5 の各々は分割されるとともに、分割された複数の端子用導体 4 5 の各一部は、1 つの貫通孔 4 8 の内面上に露出した状態となっている。そして、これら端子用導体 4 5 の分割されたそれぞれの部分が、外部端子電極 4 0 を与えている。

【 0 0 6 4 】

次に、図 3 (2) に示すように、セラミック成形体 4 7 の一方の主面 4 9 または両主面 4 9 および 5 0 上に、切断溝 5 1 が形成される。この切断溝 5 1 は、後の分割工程で分割が実施される分割線に沿って形成されるもので、特定の切断溝 5 1 については、長手の貫通孔 4 8 を通る位置に延びている。切断溝 5 1 は、たとえば、セラミック成形体 4 7 の厚みの約 $1/3 \sim 1/6$ 程度の深さをもって形成される。

【 0 0 6 5 】

次に、セラミック成形体 4 7 は焼成され、それによって、図 4 に示すようなセラミック焼結体 5 2 が得られる。このとき、外部端子電極 4 0 を与える端子用導体 4 5 を構成する導電性ペーストも焼結する。セラミック焼結体 5 2 は、焼成による収縮が生じていることを除いて、セラミック成形体 4 7 と実質的に同様の外観を有している。

【 0 0 6 6 】

次に、端子用導体 4 5 の分割によって与えられた外部端子電極 4 2 の表面に、ニッケル／金、ニッケル／錫、ニッケル／半田等のめっきが施される。このめっき工程において、セラミック焼結体 5 2 の外表面上に形成される外部導体膜 4 2 の表面にもめっきが施されてもよい。

【 0 0 6 7 】

以上の工程を終えたとき、セラミック焼結体 5 2 における分割線に沿う切断溝 5 1 によって区画された各領域には、得ようとするセラミック電子部品 3 1 が構成され、これらセラミック電子部品 3 1 は、互いに他のものに対して電氣的に独立した状態となっている。したがって、端子用導体 4 5 の分割によって与えられた外部端子電極 4 0 を端子として、個々のセラミック電子部品 3 1 の特性を測定することができる。

【 0 0 6 8 】

このように、特性が測定された後、良品と判定されたセラミック電子部品 3 1 上には、必要に応じて、他の電子部品が搭載され、また、キャップが被せられる。

【 0 0 6 9 】

次に、複数のセラミック電子部品 3 1 を取り出すため、セラミック焼結体 3 2 は、切断溝 5 1 に沿ってブレイクされる。

【 0 0 7 0 】

このようにして、図 1 に示した状態にあるセラミック電子部品 3 1 が得られる。このセラミック電子部品 3 1 において、複数の外部端子電極 4 0 は、貫通孔 4 8 の内面上に露出した端子用導体 4 5 の一部をもって与えられたものであり、また、切欠き 3 9 は、貫通孔 4 8 の分割によって形成されたものであり、この切欠き 3 9 内に複数の外部端子電極 4 0 が並んで設けられている。

【 0 0 7 1 】

以上説明した実施形態に関して、以下のようないくつかの変形例が可能である。

【 0 0 7 2 】

上述した実施形態では、図 5 に示すように、外部端子電極 4 0 を与える外部導体膜 4 2 は、断面矩形の透孔 4 4 内に設けられたが、図 6 に示すように、外部導体膜 4 2 を与える端子用導体 4 5 は、断面円形の透孔 4 4 内に設けられてもよい。さらに、透孔 4 4 は、他の断面形状のものであってもよい。

【 0 0 7 3 】

図 6 において、図 5 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 7 4 】

また、前述した実施形態では、透孔 4 4 を充填するように端子用導体 4 5 が形成されたが、図 7 に示すように、端子用導体 4 5 は、中空部分を中央に残しながら、透孔 4 4 の内周面に沿うように形成されてもよい。図 7 において、図 5 に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 7 5 】

図 1 には電子部品本体 3 2 の第 2 の主面 3 4 側が図示されないが、図 8 に示すように、外部端子電極 4 0 は、電子部品本体 3 2 の第 2 の主面 3 4 上にまで延びる延長部 5 3 を備えていてもよい。

【 0 0 7 6 】

延長部 5 3 は、外部端子電極 4 0 を図示しない配線基板上の導電ランドに半田付けしようとするとき、半田の付与面積を広くし、そのため、セラミック電子部品 3 1 と配線基板との間での接合力を高めるように作用する。

【 0 0 7 7 】

このような延長部 5 3 は、セラミック成形体 4 7 またはセラミック焼結体 5 2 の段階で、導電性ペーストをスクリーン印刷することによって形成されることができる。なお、延長部 5 3 は、電子部品本体 3 2 の第 1 の主面 3 3 側に設けられてもよい。

【 0 0 7 8 】

図 8 において、図 1 等 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 7 9 】

また、前述した実施形態では、電子部品本体 3 2 の側面 3 5 および 3 7 の各々に、1 つずつ、切欠き 3 9 が設けられたが、図 9 に示すように、側面 3 5 および 3 7 の各々に、2 つずつ、切欠き 3 9 が設けられてもよい。さらに、切欠き 3 9 の数は任意の変更することができる。

【 0 0 8 0 】

図 9 では、外部導体膜 4 2 の図示が省略されているが、図 9 において、図 1 等
。に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 8 1 】

また、前述した実施形態では、外部端子電極 4 0 は、電子部品本体 3 2 の第 1 の主面 3 3 から第 2 の主面 3 4 にまで貫通するように設けられたが、図 1 0、図 1 1 および図 1 2 のそれぞれに示すように、外部端子電極 4 0 は、第 1 の主面 3 3 から第 2 の主面 3 4 にまで貫通しないように設けられてもよい。

【 0 0 8 2 】

図 1 0 では、外部端子電極 4 0 は、第 1 の主面 3 3 にまで届かないように設けられている。

【 0 0 8 3 】

図 1 1 では、外部端子電極 4 0 は、第 1 および第 2 の主面 3 3 および 3 4 の双方に届かないように設けられている。

【 0 0 8 4 】

図 1 2 では、外部端子電極 4 0 は、第 1 の主面 3 3 にまで届かないように設けられているとともに、電子部品本体 3 2 の厚み方向に関して、2 つの部分に分断された状態となっている。

【 0 0 8 5 】

これら図 1 0 ないし図 1 2 に示すような態様で外部端子電極 4 0 を形成するためには、セラミック成形体 4 7 を得るための積層工程において、図 2 に示したような端子用導体 4 5 が設けられたセラミックグリーンシート 4 3 とこのような端子用導体が設けられていないセラミックグリーンシートとを混在させて積層するようにすればよい。

【 0 0 8 6 】

図 1 0 ないし図 1 2 に示した外部端子電極 4 0 によれば、電子部品本体 3 2 の第 1 の主面 3 3 には届かないように形成されているので、第 1 の主面 3 3 上で電子部品を搭載できる領域を広げることができる。また、これらセラミック電子部品 3 1 を配線基板上に半田を用いて実装したとき、外部端子電極 4 0 を覆うように半田フィレットが形成されるが、この半田フィレットの高さを制御することができる。セラミック電子部品 3 1 が高周波回路において用いられるとき、半田フィレットはインダクタンス成分として作用するため、このような半田フィレットの高さの制御は、インダクタンス成分の低減およびそのばらつきの低減に寄与させることができる。

【 0 0 8 7 】

特に、図 1 1 に示すように設けられた外部端子電極 4 0 によれば、電子部品本体 3 2 の第 2 の主面 3 4 にまで届かないように設けられているので、このセラミック電子部品 3 1 を実装する配線基板上の導電ランドとの間での不所望な短絡をより確実に防止することができる。

【 0 0 8 8 】

また、特に、図 1 2 に示した外部端子電極 4 0 によれば、第 2 の主面 3 4 側に位置する部分を配線基板との半田付けのために用いながら、第 1 の主面 3 3 側に位置する部分を、たとえば、第 1 の主面 3 3 を覆うように装着されるキャップとの半田接合のために用いることができる。

【 0 0 8 9 】

また、前述した実施形態では、切断溝 5 1 は、未焼成のセラミック成形体 4 7 の段階で形成されたが、切断溝 5 1 を形成する工程は任意に変更することができる、たとえば、焼結後のセラミック焼結体 5 2 に段階で切断溝 5 1 を形成するようにしてもよい。この場合、切断溝 5 1 の形成のために、たとえば、レーザやダイヤモンド刃を備えるスクライバを適用することができる。

【 0 0 9 0 】

また、図 1 に示したセラミック電子部品 3 1 においては、切欠き 3 9 および外部端子電極 4 0 が、側面 3 5 および 3 7 のみに設けられたが、さらに側面 3 6 お

よび／または 38 に設けられてもよい。また、側面 35 ～ 38 のいずれか 1 つにのみ、切欠き 39 および外部端子電極 40 が設けられてもよい。

【 0 0 9 1 】

また、前述した実施形態では、電子部品本体 32 が積層構造を有していたが、単層構造を有する電子部品本体を備えるセラミック電子部品であっても、前述した製造方法を適用することができる。この場合には、図 2 に示したセラミックグリーンシート 43 と実質的に同様の構成を有するセラミック成形体に対して、図 3 および図 4 を参照して説明した製造方法を適用すればよい。

【 0 0 9 2 】

また、前述した実施形態では、セラミック電子部品 31 を製造するため、集合電子部品としてのセラミック焼結体 52 を作製し、これを分割することによって複数のセラミック電子部品 31 を取り出すようにしたが、単に 1 つのセラミック電子部品を得るためのセラミック焼結体を作製し、このセラミック焼結体に設けられた長手の貫通孔を通る分割線に沿って分割することによって、セラミック焼結体の周囲部分を除去し、その結果、単に 1 つのセラミック電子部品を取り出すようにしてもよい。この場合には、長手の貫通孔は、端子用導体を分割するように形成される必要はなく、単に、貫通孔の内面上に端子用導体の一部が露出するように形成されれば足りる。

【 0 0 9 3 】

また、前述した実施形態では、セラミック成形体 47 に予め設けられていた端子用導体 45 から外部端子電極 40 を形成するようにしたが、以下に説明するように、外部端子電極の形成方法に関して変更してもよい。

【 0 0 9 4 】

すなわち、図 13 に示すように、端子用導体を設けない状態で、生のセラミック成形体 61 を作製し、この生のセラミック成形体 61 の互いに対向する第 1 および第 2 の主面間を貫通する長手の貫通孔 62 を形成する。貫通孔 62 の内面には、セラミック成形体 61 の内部に形成された内部導体膜 63 の一部が露出している。

【 0 0 9 5 】

上述したセラミック成形体 6 1 を作製するにあたって、複数のセラミックグリーンシートを積層することが行なわれるが、これらセラミックグリーンシートの特定のものには、必要に応じて、配線のための導体膜およびビアホール導体が形成される。図 1 3 に図示した内部導体膜 6 3 は、この配線のための導体膜の一部である。

【 0 0 9 6 】

次いで、セラミック成形体 6 1 における貫通孔 6 2 を通る線に沿って、図 1 4 に示すように、切断溝 6 4 が第 1 および／または第 2 の主面上に形成される。

【 0 0 9 7 】

また、上述した切断溝 6 4 の形成の後または前に、貫通孔 6 2 の内面上に並ぶように、複数の外部端子電極 6 5 が形成される。外部端子電極 6 5 は、内部導体膜 6 3 と電氣的に接続されるように形成される。外部端子電極 6 5 の形成には、導電性ペーストが用いられ、この導電性ペーストをスクリーン印刷またはディスペンサ等によって付与することが行なわれる。

【 0 0 9 8 】

次いで、生のセラミック成形体 6 1 は焼成され、それによって、焼結後のセラミック焼結体を得られる。このとき、外部端子電極 6 5 を形成する導電性ペーストも焼結する。

【 0 0 9 9 】

次に、外部端子電極 6 5 の表面に、ニッケル／金、ニッケル／錫、ニッケル／半田等のめっきが施される。

【 0 1 0 0 】

次に、セラミック焼結体は、切断溝 6 4 に沿ってブレイクされ、それによって、複数のセラミック電子部品が取り出される。このセラミック電子部品において、貫通孔 6 2 の内面上に形成された複数の外部端子電極 6 5 は、貫通孔 6 2 の分割によって形成された切欠き内に並んで設けられた状態となる。

【 0 1 0 1 】

なお、上述した製造方法において、外部端子電極 6 5 の形成は、焼結後のセラミック焼結体に対して実施されてもよい。この場合には、外部端子電極 6 5 に対

して、別に焼付け工程を実施する必要がある。

【0102】

また、上述した製造方法は、積層構造を有する電子部品本体を備えるセラミック電子部品の製造に適用され、そのため、セラミック成形体61を作製するにあたり、複数のセラミックグリーンシートを積層することを行なったが、単層構造を有する電子部品本体を備えるセラミック電子部品の製造に対しても適用することができる。この場合には、セラミック成形体61を得るため、セラミックグリーンシートを積層する工程が不要である。

【0103】

この実施形態においても、集合電子部品の状態にあるセラミック焼結体の段階で、個々のセラミック電子部品の特性を測定することができる。

【0104】

【発明の効果】

以上のように、この発明に係るセラミック電子部品によれば、セラミック電子部品本体の少なくとも1つの側面上に、第1の主面から第2の主面にまで貫通する切欠きが設けられ、この切欠き内に、複数の外部端子電極が並んで設けられているので、次のような第1および第2の製造方法のいずれかを採用して製造することができる。

【0105】

第1の製造方法では、外部端子電極となる複数の端子用導体が厚み方向の少なくとも一部において延びるように設けられた、生のセラミック成形体を作製する工程と、セラミック成形体の複数の端子用導体が配列される線に沿うように、セラミック成形体の互いに対向する第1および第2の主面間を貫通する長手の貫通孔を形成することによって、複数の端子用導体の各一部を1つの貫通孔の内面上に露出させる工程と、セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、セラミック焼結体を、貫通孔を通る分割線に沿って分割することによって、貫通孔の内面上に露出した端子用導体の一部をもって与えられた複数の外部端子電極が、貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程とが実施されるので、

以下のような効果が奏されることができる。

【 0 1 0 6 】

まず、セラミック焼結体を分割するとき、外部端子電極が欠損したり、剥がれたりする不良が生じなくなり、得られたセラミック電子部品の品質の向上を期待することができる。

【 0 1 0 7 】

また、外部端子電極を与えるための端子用導体の径や配列ピッチを小さくすることができ、また、電子部品本体の主面上で延びる主面延長部を形成しないように外部端子電極を形成することができるので、外部端子電極を高密度に分布させることができ、そのため、得られたセラミック電子部品の小型化かつ配線の高密度化を図ることができる。

【 0 1 0 8 】

また、外部端子電極上にめっき膜が形成される場合、セラミック焼結体の分割後においても、このめっき膜をそのまま維持することができるので、外部端子電極において酸化等の問題が生じず、半田付け性の低下の問題にも遭遇しない。

【 0 1 0 9 】

また、セラミック焼結体が、これを分割することによって複数のセラミック電子部品を取り出せるようにされている、集合電子部品であるとき、分割前の段階であっても、各セラミック電子部品のための外部端子電極は、他のセラミック電子部品のための外部端子電極と電氣的に独立した状態となっているので、集合電子部品の状態で、各セラミック電子部品の特性を測定することができる。したがって、このような特性測定工程を能率的に実施することができるとともに、不良品に対する以後の無駄な工程を実施しないようにすることができる。

【 0 1 1 0 】

第2の製造方法では、生のセラミック成形体を作製する工程と、セラミック成形体の互いに対向する第1および第2の主面間を貫通する長手の貫通孔を形成する工程と、セラミック成形体を焼成することによって、焼結後のセラミック焼結体を得る工程と、セラミック成形体またはセラミック焼結体に対して、貫通孔の内面上に並ぶように、複数の外部端子電極を形成する工程と、セラミック焼結体

を、貫通孔を通る分割線に沿って分割することによって、貫通孔の内面上に形成された複数の外部端子電極が、貫通孔の分割によって形成された切欠き内に並んで設けられている、セラミック電子部品を取り出す工程とが実施される。

【0 1 1 1】

したがって、外部端子電極の径や配列ピッチを小さくできる点については、上述した第 1 の製造方法の場合に比べると劣るが、上述した第 1 の製造方法の場合と実質的に同様の効果が奏される。

【0 1 1 2】

また、第 1 の製造方法によれば、外部端子電極を、セラミック電子部品本体の第 1 の主面から第 2 の主面にまで貫通しないように設けることが容易である。このような態様で外部端子電極を形成することにより、ここに付与される半田フィレットの高さを制御でき、そのため、このセラミック電子部品が高周波回路において用いられたとき、その特性を安定化させることができる。

【図面の簡単な説明】

【図 1】

この発明の一実施形態によるセラミック電子部品 3 1 の外観を示す斜視図である。

【図 2】

図 1 に示したセラミック電子部品 3 1 の製造のために用意されるセラミックグリーンシート 4 3 に対して実施される工程を順次示す斜視図である。

【図 3】

図 2 に示したセラミックグリーンシート 4 3 を含む複数のセラミックグリーンシートを積層して得られたセラミック成形体 4 7 に対して実施される工程を順次示す斜視図である。

【図 4】

図 3 (2) に示したセラミック成形体 4 7 を焼成して得られたセラミック焼結体 5 2 を示す斜視図である。

【図 5】

図 3 (2) に示したセラミック成形体 4 7 の一部を拡大して示す平面図である

【図 6】

図 5 に示した部分に対応する部分を示す図であって、端子用導体 4 5 の変形例を示している。

【図 7】

図 5 に示した部分の一部に対応する部分を拡大して示す平面図であり、端子用導体 4 5 の他の変形例を示している。

【図 8】

セラミック電子部品 3 1 の変形例を示す底面図である。

【図 9】

セラミック電子部品 3 1 の他の変形例を示す平面図である。

【図 1 0】

セラミック電子部品 3 1 のさらに他の変形例を示す正面図である。

【図 1 1】

セラミック電子部品 3 1 のさらに他の変形例を示す正面図である。

【図 1 2】

セラミック電子部品 3 1 のさらに他の変形例を示す正面図である。

【図 1 3】

セラミック電子部品の製造方法に関する他の実施形態を説明するためのセラミック成形体 6 1 の一部を示す斜視図である。

【図 1 4】

図 1 3 に示したセラミック成形体 6 1 に外部端子電極 6 5 を形成した状態を示す斜視図である。

【図 1 5】

この発明にとって興味ある従来のセラミック電子部品 1 の外観を示す斜視図である。

【図 1 6】

図 1 5 に示したセラミック電子部品 1 を製造するために作製されるセラミック成形体 1 1 を示す斜視図である。

【図 1 7】

図 1 6 に示したセラミック成形体 1 1 を焼成して得られたセラミック焼結体 1 6 に対して端子用導体 1 8 を形成する工程を図解的に示す断面図である。

【図 1 8】

図 1 7 に示した端子用導体 1 8 が形成されたセラミック焼結体 1 6 の一部を示す斜視図である。

【図 1 9】

図 1 8 に示すセラミック焼結体 1 6 を分割して得られたセラミック電子部品 1 の一部を示す斜視図である。

【符号の説明】

- 3 1 セラミック電子部品
- 3 2 セラミック電子部品本体
- 3 3 電子部品本体の第 1 の主面
- 3 4 電子部品本体の第 2 の主面
- 3 5 ～ 3 8 電子部品本体の側面
- 3 9 切欠き
- 4 0, 6 5 外部端子電極
- 4 1 凹部
- 4 2 外部導体膜
- 4 3 セラミックグリーンシート
- 4 4 透孔
- 4 5 端子用導体
- 4 6 導体膜
- 4 7, 6 1 セラミック成形体
- 4 8, 6 2 長手の貫通孔
- 4 9 セラミック成形体またはセラミック焼結体の第 1 の主面
- 5 0 セラミック成形体またはセラミック焼結体の第 2 の主面
- 5 1, 6 4 切断溝（分割線）
- 5 2 セラミック焼結体

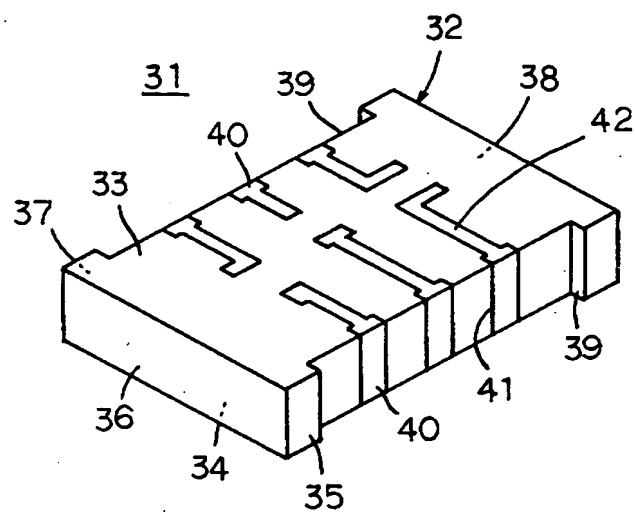
5 3 延長部

6 3 内部導体膜

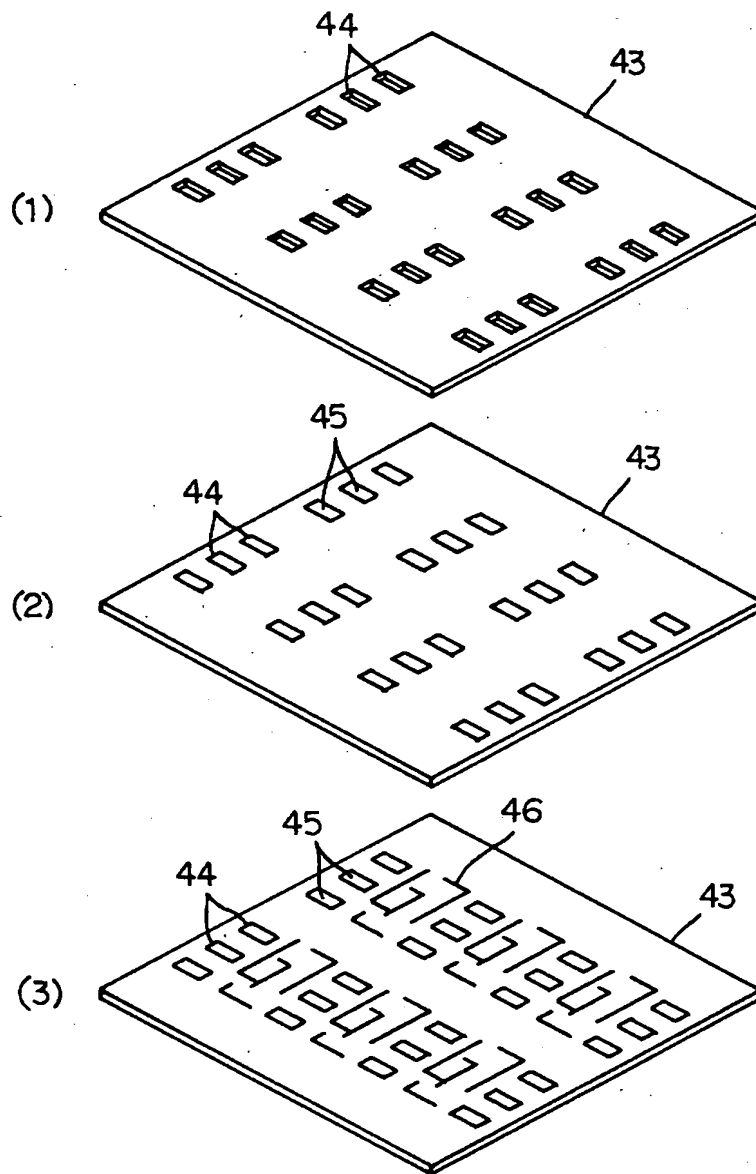
【書類名】

図面

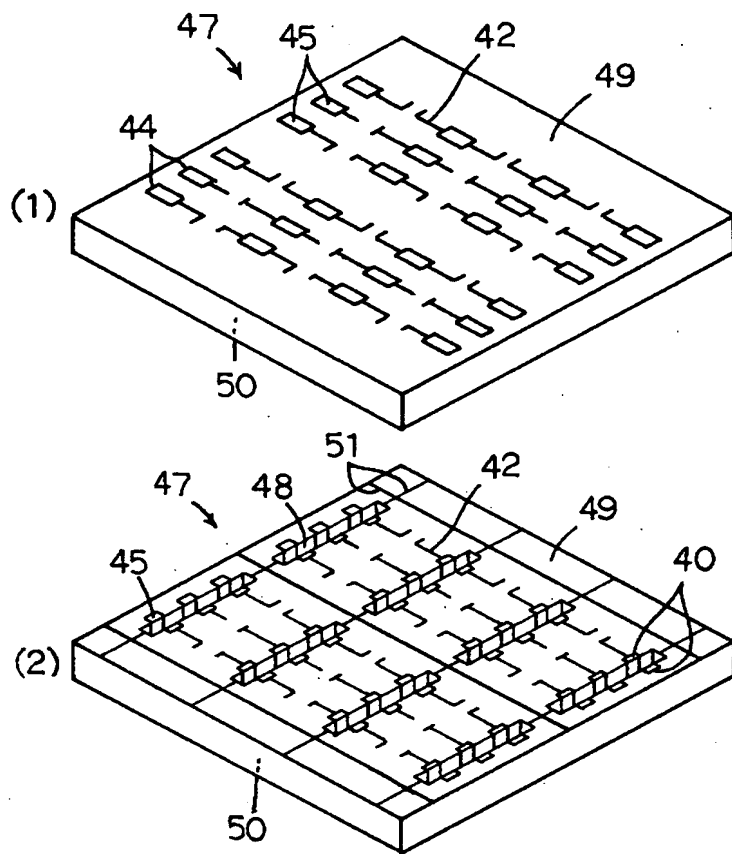
【図 1】



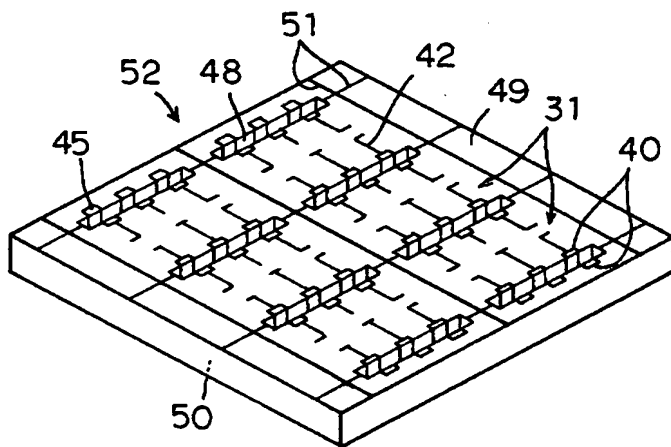
【図 2】



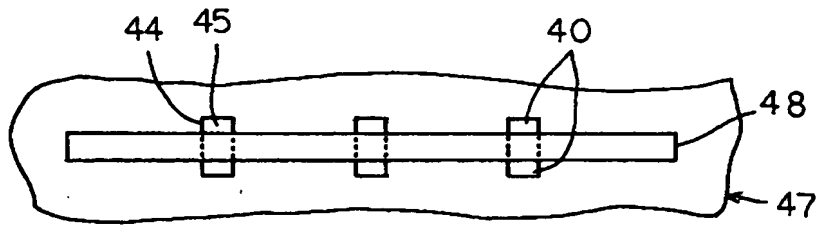
【図 3】



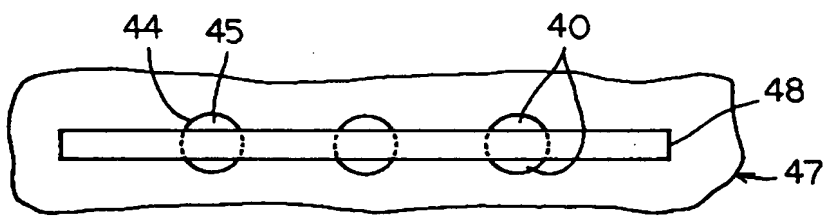
【図 4】



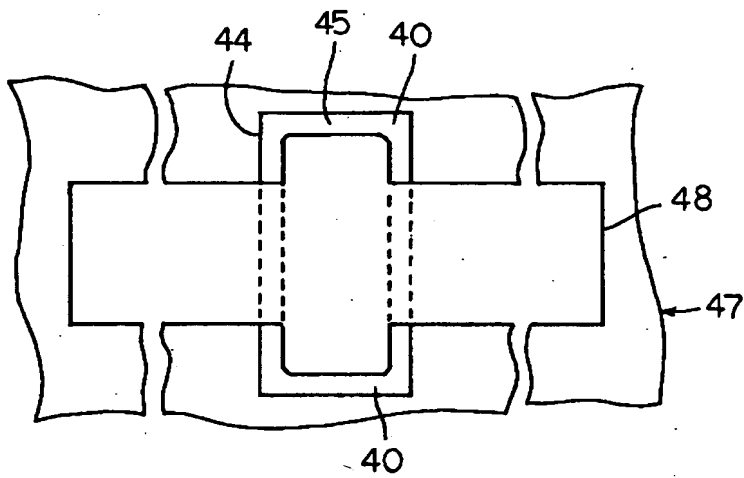
【図 5】



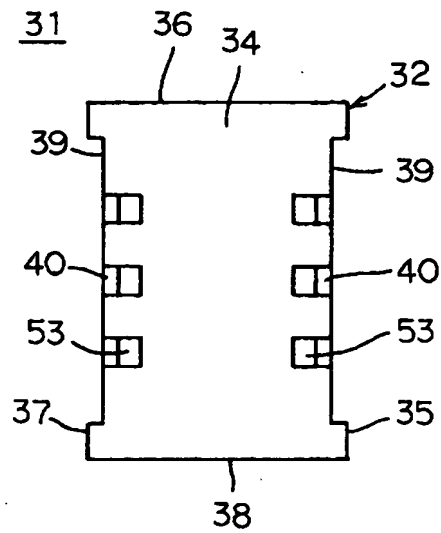
【図 6】



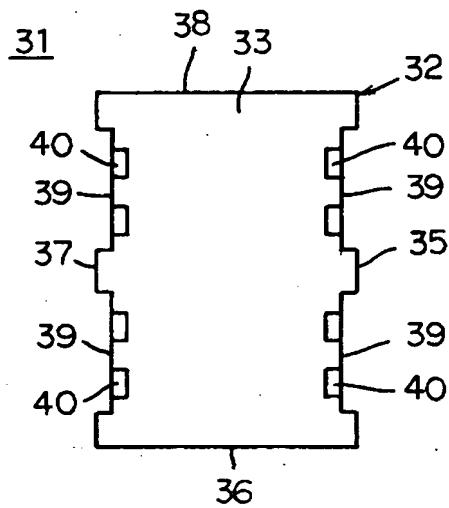
【図 7】



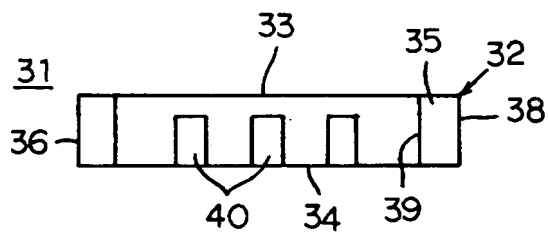
【図 8】



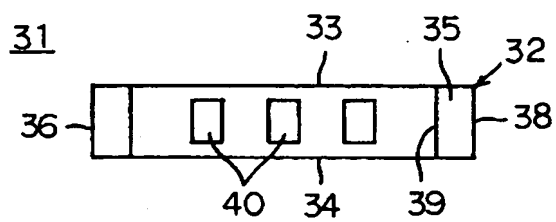
【図 9】



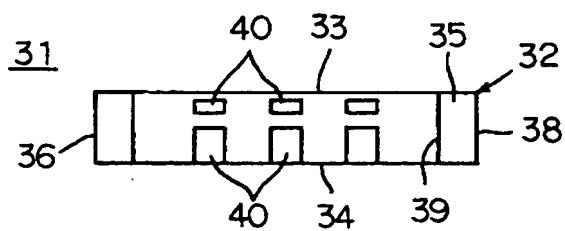
【図 1 0】



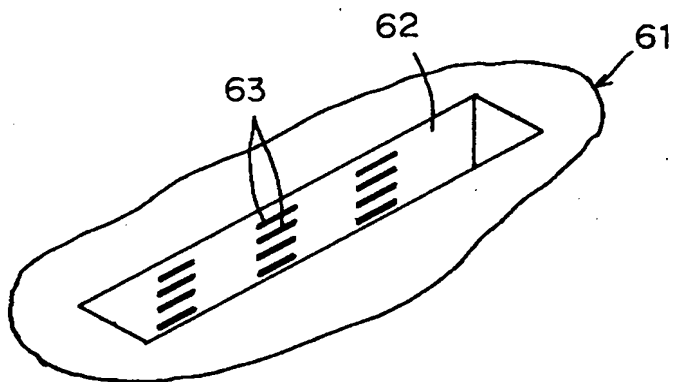
【図 1 1】



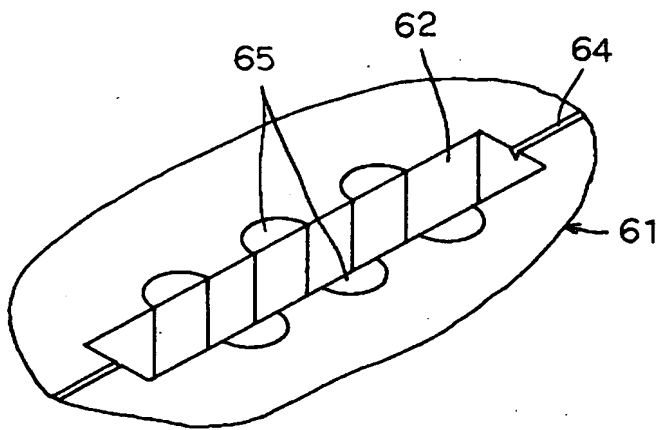
【図 1 2】



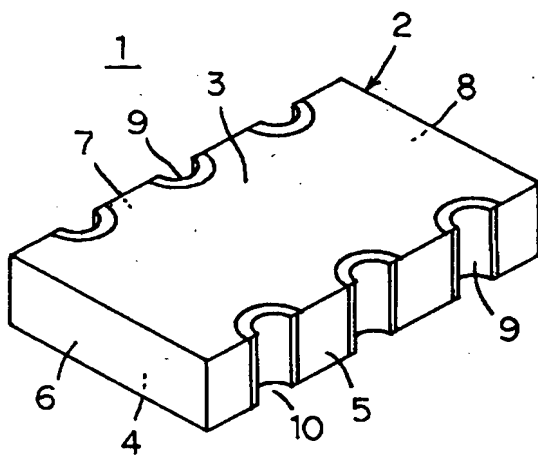
【図 1 3】



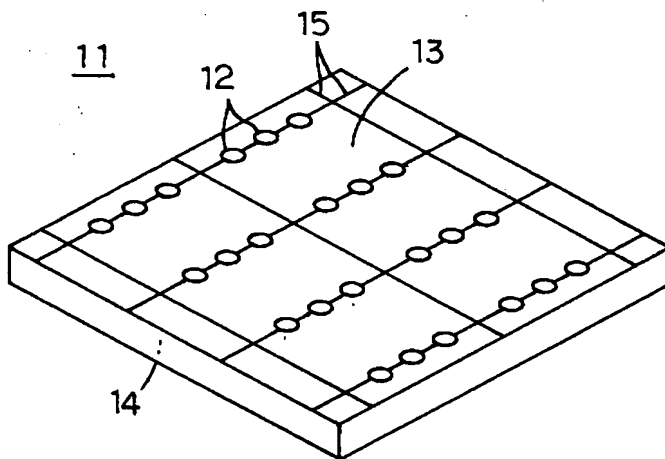
【図14】



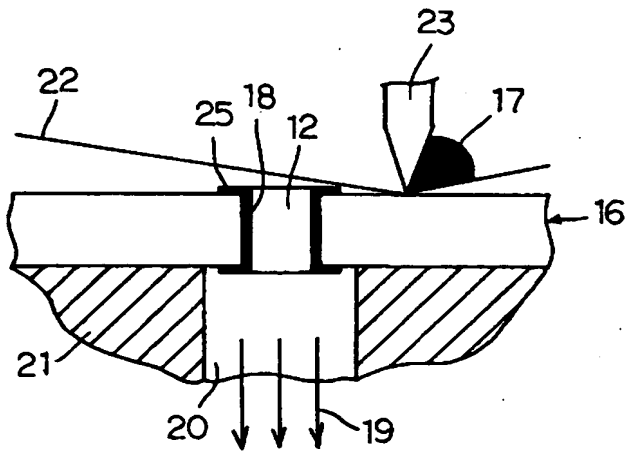
【図15】



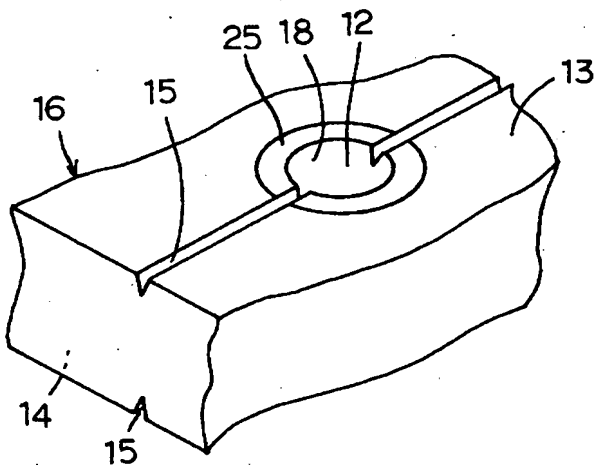
【図16】



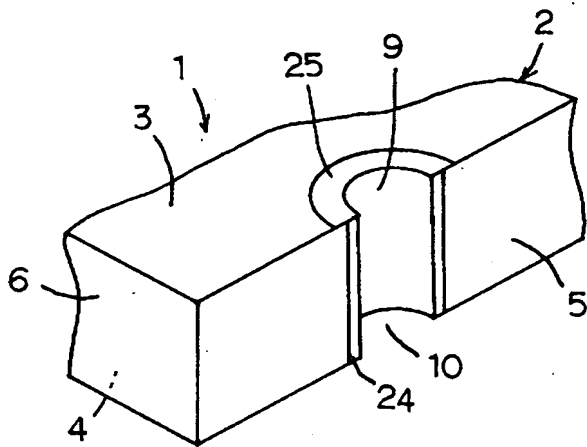
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 外部端子電極となる端子用導体が予め設けられた集合電子部品を分割してセラミック電子部品を得ようとするとき、分割によって外部端子電極の欠損が生じないようにする。

【解決手段】 外部端子電極となる複数の端子用導体 4 5 が設けられた生のセラミック成形体 4 7 に対して、長手の貫通孔 4 8 を形成することによって、端子用導体 4 5 の各一部を貫通孔 4 8 の内面上に露出させ、セラミック成形体 4 7 を焼成し、セラミック焼結体を得た後、貫通孔 4 8 を通る切断溝 5 1 に沿って分割することによって、セラミック電子部品を取り出す。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所